

(3) Korean Patent Publication No. 10-0233286 (1999)

“Semiconductor Device and Method of Manufacturing the Same”

The reference discloses a method of manufacturing an SOI transistor, which  
5 provides for increase in reliability of the SOI transistor as manufactured.  
Specifically, during formation of a field oxide film in a doped single crystal silicon  
layer by performing a heat treatment on the doped single crystal silicon layer, a  
doped silicon film with a thickness of 100-1000 Å is also formed so as to be placed  
between a buried oxide film under the doped single crystal silicon layer and the field  
10 oxide film to be formed on the buried oxide film. The formation of the doped  
silicon film between the buried oxide film and the field oxide film is intended to  
prevent a contact area between the buried oxide film and the field oxide film from  
exceeding a predetermined value. In this manner, in the SOI transistor as  
manufactured, a voltage applied to a well region formed adjacent to the field oxide  
15 film affects a region under a gate through the doped silicon film, to suppress  
excessive increase of a voltage of the region under the gate. As a result, the SOI  
transistor can have an increased reliability.

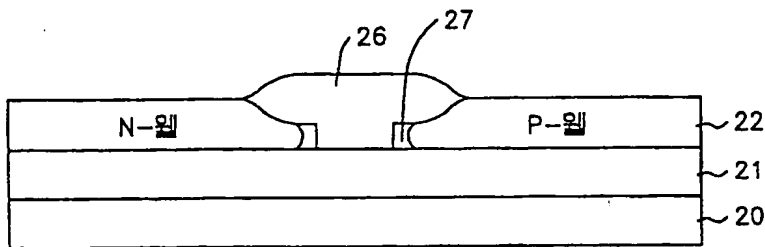
(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) Int. Cl. <sup>6</sup>		(11) 등록번호	10-0233286
H01L 21 /20		(24) 등록일자	1999년09월 10일
(21) 출원번호	10-1996-0026534	(65) 공개번호	특1998-0005383
(22) 출원일자	1996년06월29일	(43) 공개일자	1998년03월30일
(73) 특허권자	현대전자산업주식회사 김영환 경기도 이천시 부발읍 아미리 산 136-1		
(72) 발명자	고요환 서울특별시 노원구 하계 1동 선경아파트 6동 906호 최진혁 서울특별시 관악구 신림 9동 235-7호		
(74) 대리인	박해천, 원석희		
심사관 :	남승희		
(54) 반도체 장치 및 그 제조방법			

요약

본 발명은 매몰 산화층과 비도핑 단결정 실리콘 층이 형성되는 SOI 트랜지스터 제조 방법에 있어서, 전체 구조 상에 식각 방지막을 형성하는 단계; 상기 식각 방지막 상에 소자 분리 마스크를 형성하고 단결정 실리콘 층을 식각하여 노출하는 단계; 반도체 장치의 소정 영역에 매몰 산화층과 비도핑 단결정 실리콘 층을 상기 활성화 영역 위면에 형성하는 단계; 전체 구조 상에 패드 산화막 및 질화막 형성하며 필드 산화막이 형성될 부분의 질화막을 선택 식각하여 제거하는 단계를 특징으로 하는 SOI 트랜지스터에 관한 것을 N-웰과 P-웰 사이에 전기적인 통로가 형성되는 것을 완전히 차단하여 래치업에 의한 누설 전류를 완벽하게 방지한다.

대표도



영세서

[발명의 명칭]

## 반도체 장치 및 그 제조방법

### [도면의 간단한 설명]

제1도는 SOI 기판에 형성된 인접한 P-웰과 N-웰을 갖는 반도체 장치의 단면도.

제2(a)도 내지 제2(c)도는 SOI 기판에 형성된 인접한 P-웰과 N-웰을 갖는 반도체 장치의 본 발명의 일실시예에 따른 소자 분리막 형성 공정 단면도.

제3(a)도 내지 제3(c)도는 SOI 기판에 형성된 인접한 P-웰과 N-웰을 갖는 반도체 장치의 본 발명의 다른 실시예에 따른 소자 분리막 형성 공정 단면도.

### \* 도면의 주요부분에 대한 부호의 설명

20 : 반도체 장치	21 : 매몰 산화층
22 : 단결정 실리콘층	23 : 패드 산화막
24 : 질화막	25 : 포토레지스트
26 : 필드 산화막	27 : 도핑 영역

### [발명의 상세한 설명]

본 발명은 SOI(Silicon On Insulator) 기판 상에 씨모스(CMOS) 트랜지스터와 같이 두 개의 인접한 웰을 갖는 반도체 장치에 관한 것으로, 특히 래치업(Latch-up)문제를 제거하기 위하여 완전히 절연된 다수의 웰을 갖는 반도체 장치 및 그 제조방법에 관한 것이다.

일반적으로, 고속 메모리 장치를 제조하기 위하여 SOI 기판을 사용한다. SOI 기판은 실리콘 기판의 일정 깊이에 전체적으로 형성된 매몰 산화막과 매몰 산화막 상에 형성된 단결정 실리콘층이 실리콘 온 인슐레이터(Silicon on Insulator: 이하 SOI라 함) 구조를 이룬 것으로 메모리 소자를 구현할 시 매몰 산화막 층에 의하여 기생 용량(Parasitic capacitance)이 감소되어 메모리 소자를 비롯한 모든 반도체 장치의 동작 속도가 증가됨을 보였다.

그러나, SOI 기판 상에 형성된 트랜지스터는 실리콘 기판의 소정 영역에 매몰 산화막이 형성되어 있는 구조로서 통상적인 모스트랜지스터의 전극 단자인 벌크단자(접지 단자)를 가지고 있지 않아 기생 바이폴라 효과가 유발되며 항복 전압의 저하 및 핫 전자(Hot electron)에 의한 소자 특성의 열화(Degradation)가 나타나 신뢰성이 저하된다.

전술한 문제점을 해결하기 위한 종래 기술을 제1도에 도시하였다. 도면에 도시한 바와 같이, 매몰 산화막(11) 및 단결정 실리콘막(12)을 실리콘 기판(10)의 소정 영역에 차례로 형성하고, 웰을 형성하기 위하여 단결정 실리콘막(12)에 불순물을 주입한다. 다음으로, 열산화 공정으로 소자 분리를 위한 필드 산화막(13)을 형성한 후, 필드 산화막 아래의 상기 단결정 실리콘막(12)을 통한 누설 전류를 방지하기 위하여 도핑 영역(14)을 상기 단결정 실리콘막(12)에 형성한다. 이어서, 상기 활성화 영역 상에 게이트 산화막(15) 및 게이트 전극용 폴리 실리콘막(16)을 형성하고 소정 크기로 패터닝하여 게이트 전극을 형성한 다음, 저농도 불순물을 이온 주입하여 소스/드레인 영역(도시하지 않음)을 형성하고 기판 전체 구조상에 산화막을 증착한 후, 전면 식각하여 게이트 전극 측벽에 측벽 산화막(17)을 형성한다.

이때, 일반적으로 도핑된 단결정 실리콘층에 열공정에 의한 필드 산화막을 형성할 시, 매몰 산화막과 상기 필드 산화막이 소정 크기로 맞닿지 않도록 상기 필드 산화막과 매몰 산화막 사이에 100 Å 내지 1000 Å의 두께로 도핑된 실리콘막을 형성함으로써 상기 실리콘막을 통하여 웰 전극의 전압이 게이트 하부 영역에 작용하여 게이트 하부 영역 전압의 상승을 억제

함으로써 S01 트랜지스터의 신뢰성을 개선하였다.

그러나, 상기와 같은 방법은 소자간을 분리하기 위한 상기 필드 산화막이 완전하게 웰 간을 분리하지 못하여 N 웰과 P 웰 간에 기생 바이폴라 효과에 의해 상당히 높은 누설 전류가 발생하는 래치업(Latch-up) 현상을 효과적으로 차단하지 못하는 단점이 있다.

따라서, 상기한 문제점을 해결하기 위하여 안출된 본 발명은 S01 기판 상에 형성된 웰 전극의 전압이 게이트 하부 영역에 작용하여 게이트 하부 영역 전압의 상승을 억제할 수 있으며, 이웃하는 웰을 완전하게 분리하여 N 웰과 P 웰 간에 기생 바이폴라 효과에 의해 상당히 높은 누설 전류가 발생하는 래치업(Latch-up) 현상을 효과적으로 방지할 수 있는 반도체 장치 및 그 제조 방법을 제공하는데 목적이 있다.

상기 목적을 달성하기 위하여 본 발명은, 반도체 장치; 상기 반도체 기판 상에 형성된 절연막; 상기 절연막 상에 형성되어 N 웰 및 P 웰 영역을 갖는 반도체 층; 상기 N 웰 및 P 웰 영역 사이에 형성되며, 그 상부의 폭이 하부의 폭보다 넓게 형성되고 그 바닥이 상기 절연막과 접하는 T자형 소자 분리막; 상기 T자형 소자 분리막의 상부와 하부 사이의 상기 반도체 층 내에 형성되어 상기 P 웰 및 상기 N 웰과 각각 접하는 불순물 주입층을 포함하는 반도체 장치를 제공한다.

또한, 상기 목적을 달성하기 위한 본 발명은 반도체 장치; 상기 반도체 기판 상에 형성된 절연막; 상기 절연막 상에 형성되어 N 웰 및 P 웰 영역을 갖는 반도체 층; 상기 N 웰 및 P 웰 영역 사이에 형성되며, 그 상부의 폭이 하부의 폭보다 넓게 형성되고 그 바닥이 상기 절연막과 접하는 T자형 소자 분리막; 및 상기 T자형 소자 분리막의 상부와 하부 사이의 상기 반도체 층 내에 형성되어 상기 P 웰 및 상기 N 웰과 각각 접하는 불순물 주입층; 및 상기 T자형 소자 분리막의 하부와 상기 불순물 주입층 사이에 형성된 산화막을 포함하는 반도체 장치를 제공한다.

또한, 상기 목적을 달성하기 위한 본 발명은, 다수의 웰을 갖는 반도체 장치의 제조방법에 있어서, 실리콘 기판 상에 매몰 산화막 및 실리콘 층을 차례로 적층하는 제1단계; 상기 실리콘 층에 다수의 웰을 형성하는 제2단계; 상기 실리콘 층 상에 질화막을 형성하는 제3단계; 상기 웰 경계면 상의 상기 질화막을 선택적으로 식각하여 제1개구를 형성하는 제4단계; 상기 제1개구의 일부분을 노출시키는 포토레지스트 패턴을 형성하는 제5단계; 상기 포토레지스트 패턴을 식각 방지막으로 상기 실리콘 층을 식각해서, 상기 매몰 산화막을 노출시키며 상기 제1개구보다 폭이 작은 제2개구를 형성하는 제6단계; 상기 포토레지스트 패턴을 제거하는 제7단계; 및 상기 제1개구 및 제2개구에, 그 바닥면이 상기 매몰 산화막과 접하는 소자 분리막을 형성하는 제8단계를 포함하는 반도체 장치 제조 방법을 제공한다.

또한, 상기 목적을 달성하기 위한 본 발명은, 다수의 웰을 갖는 반도체 장치의 제조 방법에서, 실리콘 기판 상에 매몰 산화막 및 실리콘 층을 차례로 적층하는 제1단계; 상기 실리콘 층에 다수의 웰을 형성하는 제2단계; 상기 실리콘 층 상에 질화막을 형성하는 제3단계; 상기 웰 경계면 상의 상기 질화막을 선택적으로 식각하여 제1개구를 형성하는 제4단계; 상기 제1개구 하부의 상기 실리콘 층을 산화시켜 소자 분리막을 형성하는 제5단계; 상기 소자 분리막 및 상기 소자 분리막 하부의 상기 실리콘 층을 식각하여, 그 측면에 상기 반도체 층을 노출시키고 그 바닥에 상기 매몰 산화막을 노출시키는 제2개구를 형성하는 제6단계; 및 상기 제2개구 내에 절연막을 형성하는 제7단계를 포함하는 반도체 장치 제조 방법을 제공한다.

이하, 첨부된 제2(a)도 내지 제2(c)도를 참조하여 본 발명의 일실시예를 상세히 설명한다.

먼저, 제2(a)도에 도시한 바와 같이 실리콘 기판(20)의 소정 영역에 매몰 산화층(21)과 비도핑 단결정 실리콘층(22)을 임의적인 방법으로 형성하고, 상기 단결정 실리콘층(22)에 불순물에 도핑하여 N-웰과 P-웰을 형성하고, 전체 구조상에 패드 산화막(23) 및 질화막(24)을 형성한 후, 필드 산화막이 형성될 부분의 질화막(24)을 선택 식각하여 제거한다.

이어서, 제2(b)도에 도시한 바와 같이, 상기 N-웰 및 P-웰의 접합 영역 경계면 상의 패드 산화막(23)의 소정 부위가 노출되도록 포토레지스트(25) 패턴을 형성하고, 상기 포토레지스트(25) 패턴을 식각 방지막으로 하여 단결정 실리콘 층(22)을 선택 식각하여 매몰 산화층(21)을 노출시킨다.

마지막으로, 제2(c)도에 도시한 바와 같이 상기 포토레지스트 패턴(25)을 제거한 후, 로코스(local oxidation of

silicon, LOCOS) 공정과 같은 열산화 공정으로 필드 산화막(26)을 형성한다. 이때, 상기 단결정 실리콘 층 식각 과정에서 발생한 실리콘의 손상(damage)이 필드 산화막 형성하기 위한 열산화 공정에서 보상된다. 이어서, 고에너지로 필드 산화막(26) 상에 불순물을 이온 주입하여 필드 산화막 아래의 단결정 실리콘 층을 통한 누설 전류를 방지하기 위한 도핑 영역(27)을 형성한다.

따라서, 상기와 같이 필드 산화막(26)이 매몰 산화층(22)과 접하도록 형성되어 이웃하는 웰 간을 완전하게 분리시킴으로써 웰 간의 기생 바이폴라 현상을 제거하여 소자간의 불완전한 전기적 격리로 인한 래치업을 방지할 수가 있다.

첨부된 제3(a)도 내지 제3(c)도를 참조하여 본 발명의 다른 실시예를 상세히 설명한다.

먼저, 제3(a)도에 도시한 바와 같이 실리콘 기판의 소정 영역에 매몰 산화막(31)과 비도핑 단결정 실리콘 층(32)을 실리콘 기판(30)의 소정 영역 상에 형성하고, 상기 단결정 실리콘 층(32)에 불순물에 도핑하여 N-웰과 P-웰을 형성하고, 전체 구조상에 패드 산화막(32) 및 질화막(33)을 차례로 형성한 다음, 웰의 경계 영역 상의 질화막(34)을 선택 식각한다.

이어서, 제3(b)도에 도시한 바와 같이 열산화 공정을 통하여 필드 산화막(35)을 형성하고, 상기 필드 산화막(35) 아래에 단결정 실리콘 층(32)을 통한 누설 전류를 방지하기 위하여 도핑 영역(36)을 형성한 후, 상기 필드 산화막(35) 및 도핑 영역(36)을 이루는 단결정 실리콘 층(32)을 선택적으로 식각하여 매몰 산화막(31)을 노출시킨다.

다음으로, 제3(c)도에 도시한 바와 같이 상기 도핑 영역(36)을 이루는 상기 단결정 실리콘 층(32)의 식각 과정에서 발생한 손상 영역을 보상해 주기 위해 산화막(37)을 형성하고 필드 산화막이 식각되어 제거된 영역 내에 실리콘 산화막 또는 질화막(38)을 증착하여 웰 사이에 전기적인 통로가 형성되는 것을 완전히 차단하여 래치업 발생을 방지한다.

전술한 바와 같이 이루어지는 본 발명은 소자 분리막이 절연막(매몰 산화층)과 접하도록 하여 SOI 기판 상에 형성되는 웰 간을 완전하게 분리하여 기생 바이폴라 현상을 제거하여 소자간의 불완전한 전기적 격리로 인한 래치업을 방지하고, 소자 분리막 하부에 불순물 주입영역을 형성하여 웰과 접하도록 함으로써 게이트 하부 웰 영역의 전압 상승을 억제하는 효과를 갖는다.

이상에서 설명한 본 발명은 전술한 실시예 및 첨부된 도면에 의해 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능함이 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

#### (57) 청구의 범위

청구항 1. 반도체 장치에 있어서, 반도체 기판; 상기 반도체 장치 상에 형성된 절연막; 상기 절연막 상에 형성되어 N 웰 및 P 웰 영역을 갖는 반도체 층; 상기 N 웰 및 P 웰 영역 사이에 형성되며, 그 상부의 폭이 하부의 폭보다 넓게 형성되고 그 바닥이 상기 절연막과 접하는 T자형 소자 분리막; 및 상기 T자형 소자 분리막의 상부와 하부 사이의 상기 반도체 층에 형성되어 상기 P 웰 및 상기 N 웰과 각각 접하는 불순물 주입층을 포함하는 반도체 장치.

청구항 2. 제1항에 있어서, 상기 절연막은 산화막으로 이루어지는 것을 특징으로 하는 반도체 장치.

청구항 3. 제1항에 있어서, 상기 반도체 층은 단결정 실리콘층으로 이루어지는 것을 특징으로 하는 반도체 장치.

청구항 4. 반도체 장치에 있어서, 반도체 기판; 상기 반도체 기판 상에 형성된 절연막; 상기 절연막 상에 형성되어 N 웰 및 P 웰 영역을 갖는 반도체 층; 상기 N 웰 및 P 웰 영역 사이에 형성되며, 그 상부의 폭이 하부의 폭보다 넓게 형성되고 그 바닥이 상기 절연막과 접하는 T자형 소자 분리막; 상기 T자형 소자 분리막의 상부와 하부 사이의 상기 반도체 층 내에 형성되어 상기 P 웰 및 상기 N 웰과 각각 접하는 불순물 주입층; 및 상기 T자형 소자 분리막의 하부와 상기 불순물

주입층 사이에 형성된 산화막을 포함하는 반도체 장치.

청구항 5. 제4항에 있어서, 상기 제1소자 분리막은 산화막으로 이루어지는 것을 특징으로 하는 반도체 장치.

청구항 6. 제5항에 있어서, 상기 제2소자 분리막은 산화막 또는 질화막으로 이루어지는 것을 특징으로 하는 반도체 장치.

청구항 7. 제6항에 있어서, 상기 반도체 층은 단결정 실리콘층으로 이루어지는 것을 특징으로 하는 반도체 장치.

청구항 8. 다수의 웰을 갖는 반도체 장치의 제조방법에 있어서, 실리콘 기판 상에 매몰 산화막 및 실리콘 층을 차례로 적층하는 제1단계; 상기 실리콘 층에 다수의 웰을 형성하는 제2단계; 상기 실리콘 층 상에 질화막을 형성하는 제3단계; 상기 웰 경계면 상의 상기 질화막을 선택적으로 식각하여 제1개구를 형성하는 제4단계; 상기 제1개구의 일부분을 노출시키는 포토레지스트 패턴을 형성하는 제5단계; 상기 포토레지스트 패턴을 식각 방지막으로 상기 실리콘층을 식각해서, 상기 매몰 산화막을 노출시키며 상기 제1개구보다 폭이 작은 제2개구를 형성하는 제6단계; 상기 포토레지스트 패턴을 제거하는 제7단계; 및 상기 제1개구 및 제2개구에, 그 바닥면이 상기 매몰 산화막과 접하는 소자 분리막을 형성하는 제8단계를 포함하는 반도체 장치 제조 방법.

청구항 9. 제8항에 있어서, 상기 소자 분리막을 형성하는 단계 후, 상기 소자 분리막과 상기 매몰 산화막 사이의 상기 실리콘 층 내에, 상기 웰과 접하는 불순물 주입 영역을 형성하는 제9단계를 더 포함하는 것을 특징으로 하는 반도체 장치 제조 방법.

청구항 10. 제8항에 있어서, 상기 실리콘층을 단결정 실리콘층으로 형성하는 것을 특징으로 하는 반도체 장치 제조 방법.

청구항 11. 제9항에 있어서, 상기 제9단계는, 이온주입을 실시하여, 상기 소자 분리막과 상기 매몰 산화막 사이의 상기 실리콘 층 내에 상기 불순물 주입 영역을 형성하는 것을 특징으로 하는 반도체 장치 제조 방법.

청구항 12. 제8항에 있어서, 상기 제3단계에서, 상기 실리콘 층 상에 패드 산화막 및 질화막을 적층하는 것을 특징으로 하는 반도체 장치 제조 방법.

청구항 13. 다수의 웰을 갖는 반도체 장치의 제조 방법에 있어서, 실리콘 기판 상에 매몰 산화막 및 실리콘 층을 차례로 적층하는 제1단계; 상기 실리콘 층에 다수의 웰을 형성하는 제2단계; 상기 실리콘 층 상에 질화막을 형성하는 제3단계; 상기 웰의 0경계면 상의 상기 질화막을 선택적으로 식각하여 제1개구를 형성하는 제4단계; 상기 제1개구의 하부의 상기 실리콘 층을 산화시켜 소자 분리막을 형성하는 제5단계; 상기 소자 분리막 및 상기 소자 분리막 하부의 상기 실리콘 층을 식각하여, 그 측면에 상기 반도체 층을 노출시키고 그 바닥에 상기 매몰 산화막을 노출시키는 제2개구를 형성하는 제6단계; 및 상기 제2개구 내에 절연막을 형성하는 제7단계를 포함하는 반도체 장치 제조 방법.

청구항 14. 제13항에 있어서, 상기 제7단계는, 상기 제2개구 측면에 노출된 상기 실리콘층 표면에 산화막을 형성하는 단계; 및 상기 제2개구를 채우는 상기 절연막을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 장치 제조 방법.

청구항 15. 제13항에 있어서, 상기 제2개구 내에 형성되는 절연막을 질화막 또는 실리콘 산화막으로 형성하는 것을 특징으로 하는 반도체 장치 제조 방법.

청구항 16. 제13항에 있어서, 상기 실리콘 층을 단결정 실리콘 층으로 형성하는 것을 특징으로 하는 반도체 장치 제조 방법.

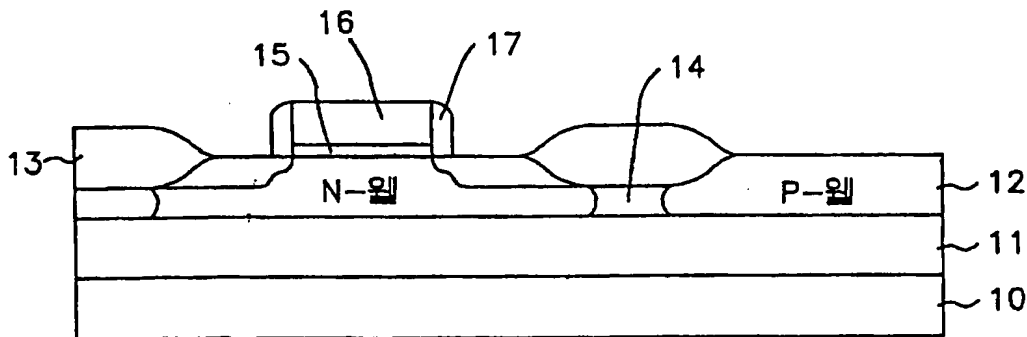
청구항 17. 제13항에 있어서, 상기 제3단계에서, 상기 실리콘 층 상에 패드 산화막 및 질화막을 적층하는 것을 특징으로 하는 반도체 장치 제조 방법.

청구항 18. 제13항에 있어서, 상기 제7단계 후, 상기 소자 분리막과 상기 매몰 산화막 사이의 상기 실리콘 층에 상기 웰과 접하는 불순물 주입 영역을 형성하는 제8단계를 더 포함하는 것을 특징으로 하는 반도체 장치 제조 방법.

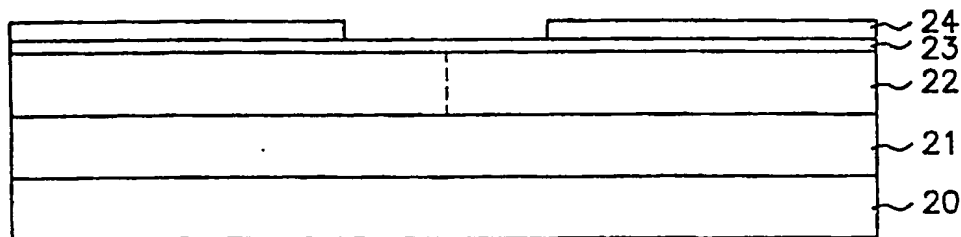
청구항 19. 제18항에 있어서, 상기 제8단계에서, 이온 주입을 실시하여, 상기 소자 분리막과 상기 매몰 산화막 사이의 상기 실리콘 층 내에 상기 불순물 주입 영역을 형성하는 것을 특징으로 하는 반도체 장치 제조 방법.

도면

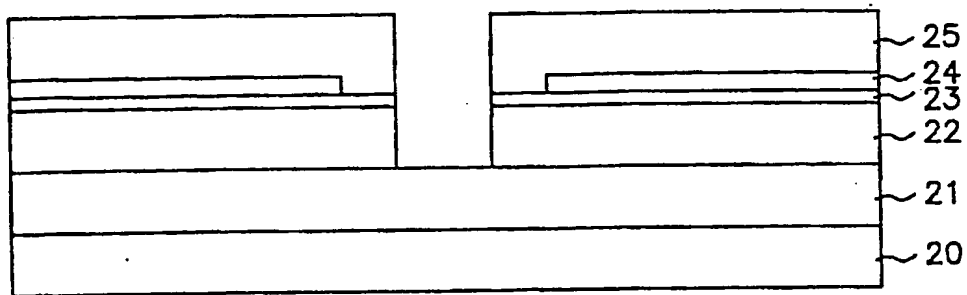
도면1



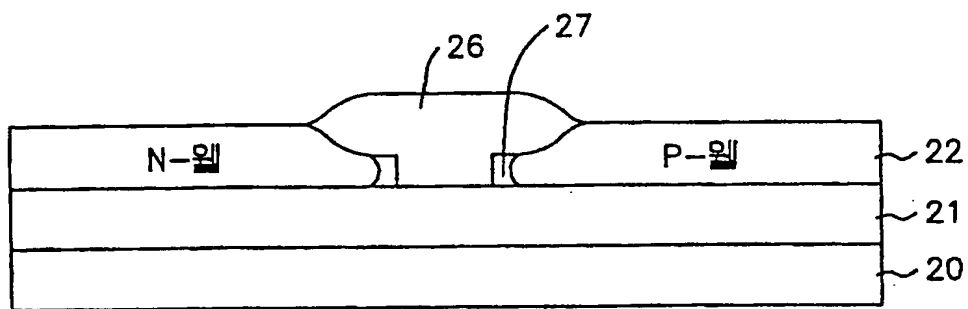
도면2a



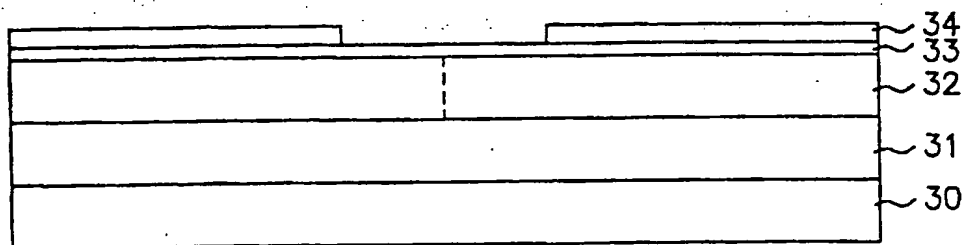
도면2b



도면2c

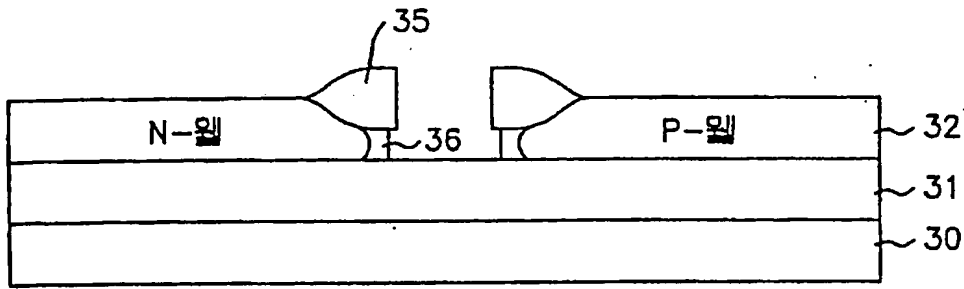


도면3a



도면3b





도면 3c

